

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号
特表2001-503937
(P2001-503937A)

(43) 公表日 平成13年3月21日 (2001.3.21)

(51) Int.Cl.⁷
H 0 3 F 3/68

識別記号

F I
H 0 3 F 3/68

データベース (参考)
Z

審査請求 有 予備審査請求 有 (全 26 頁)

(21) 出願番号 特願平10-518329
(86) (22) 出願日 平成9年9月5日 (1997.9.5)
(85) 翻訳文提出日 平成11年4月8日 (1999.4.8)
(86) 国際出願番号 PCT/US97/15600
(87) 国際公開番号 WO98/16998
(87) 国際公開日 平成10年4月23日 (1998.4.23)
(31) 優先権主張番号 08/728, 717
(32) 優先日 平成8年10月11日 (1996.10.11)
(33) 優先権主張国 米国 (US)
(81) 指定国 AU, BR, CA, CN, DE, FI, GB, IL, JP, KR, RU, SE

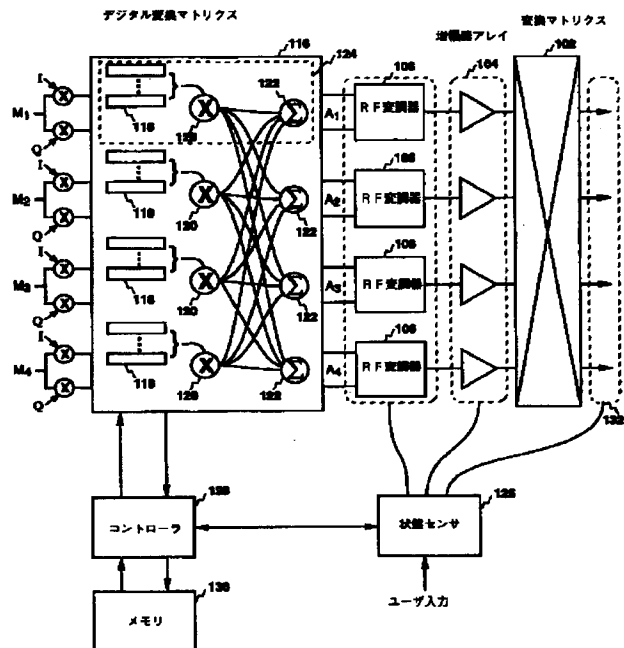
(71) 出願人 モトローラ・インコーポレイテッド
アメリカ合衆国イリノイ州60196シャンパーグ、イースト・アルゴンクイン・ロード1303
(72) 発明者 シーメンス ジュニア, アーサー・フレッド
アメリカ合衆国テキサス州フォート・ワース、ノース・ベイレイ424
(72) 発明者 ラズ, ユダ・イエハダ
アメリカ合衆国テキサス州ユーレス、ハリントン・コート2309
(74) 代理人 弁理士 大貫 進介 (外2名)

最終頁に続く

(54) 【発明の名称】 デジタル変換器を構築するためのハイブリッド・マトリクス増幅器における方法およびシステム

(57) 【要約】

ハイブリッド・マトリクス増幅器アレイ (100) において、構築可能なデジタル変換マトリクス (116) は、変換係数のマトリクスで初期化される。複数のデジタル入力信号 ($M_1 \sim M_4$) は、構築可能なデジタル変換マトリクス (116) の入力にて受信される。複数のデジタル入力信号は、変換係数のマトリクスを利用して、複数の変換済みデジタル信号 ($A_1 \sim A_4$) を生成するように変換される。複数の変換済みデジタル信号は、複数の変換済みアナログ信号 (206) に変換され、複数の変換済みアナログ信号となる。変換済みアナログ信号は増幅され (104, 208)、増幅済み変換信号となる。最後に、増幅済み変換信号は逆変換され (102, 210)、各デジタル入力信号 ($M_1 \sim M_4$) に対応する出力信号となる。増幅器アレイ (104, 126) 内で故障を検出すると、コントローラ (128) はメモリ (130) からマトリクス変換係数を呼出し、書き込んで、ハイブリッド・マトリクス増幅器出力 (132) における増幅器故障の影響を最小限に抑えるようにデジタル変換マトリクス (116) を再構築する。



第6図

【特許請求の範囲】**1. ハイブリッド・マトリクス増幅器であって：**

第1および第2デジタル信号に結合された入力をも有する構築可能なデジタル変換器(configurable digital transformer)であって、前記構築可能なデジタル変換器は、前記第1および第2デジタル信号を処理して、第1および第2変換済み信号を生成する複数の変換モードで動作するように適応される、構築可能なデジタル変換器；

前記第1および第2変換済み信号に結合された入力と、第1および第2増幅済み変換信号を与える出力とをも有する増幅器アレイ；

前記第1および第2増幅済み変換信号に結合された入力と、少なくとも一つの出力信号を与える出力とをも有する逆変換マトリクス；

前記増幅器アレイに結合され、前記ハイブリッド・マトリクス増幅器の状態を表す増幅器状態信号を生成する状態センサ；および

前記状態センサおよび前記構築可能なデジタル変換器に結合され、前記増幅器状態信号に応答して再構築信号を前記構築可能なデジタル変換器に与えるコントローラ；

によって構成されることを特徴とするハイブリッド・マトリクス増幅器。

2. 前記構築可能なデジタル変換器は、前記第1および

第2変換済み信号の特性を制御するために前記複数の変換モードのうちの異なるモードによって用いられる変換パラメータを格納するためのレジスタをさらに含むことを特徴とする請求項1記載のハイブリッド・マトリクス増幅器。

3. 前記第1および第2変換済み信号の前記特性は、信号位相および信号振幅を含むことを特徴とする請求項2記載のハイブリッド・マトリクス増幅器。

4. 前記増幅器アレイは複数の増幅器を含み、前記ハイブリッド・マトリクス増幅器の前記状態は、前記増幅器アレイ内の少なくとも一つの増幅器が故障することに応答して生じる劣化状態を含むことを特徴とする請求項1記載のハイブリッド・マトリクス増幅器。

5. マトリクス変換係数を格納するためのメモリであって、前記再構築信号は

、前記増幅器状態信号に応答して前記再構築可能なデジタル変換器を再構築するために用いられる選択されたマトリクス変換係数を含む、メモリをさらに含んで構成されることを特徴とする請求項1記載のハイブリッド・マトリクス増幅器。

6. 前記マトリクス変換係数は、前記増幅器状態信号が劣化状態を示すときに、前記少なくとも一つの出力信号での信号弁別を最大限にするように選択されたマトリクス変換係数を含むことを特徴とする請求項5記載のハイブリッド・マトリクス増幅器。

7. ハイブリッド・マトリクス増幅器において複数のデ

ジタル入力信号を増幅する方法であって：

構築可能なデジタル変換マトリクスを変換係数のマトリクスで初期化する段階；

前記構築可能なデジタル変換マトリクスの入力において複数のデジタル入力信号を受信する段階；

前記構築可能なデジタル変換マトリクス内の前記変換係数のマトリクスを利用して、前記複数のデジタル入力信号を変換して、複数の変換済みデジタル信号を生成する段階；

前記複数の変換済みデジタル信号を複数の変換済みアナログ信号に変換する段階；

増幅器アレイを利用して、前記複数の変換済みアナログ信号を増幅して、増幅済み変換信号を生成する段階；

前記増幅済み変換信号を逆変換して、前記複数のデジタル入力信号に対応する出力信号を生成する段階；

前記増幅器アレイの劣化状態を検出する段階；および

前記劣化状態を検出することに応答して、出力信号劣化を最小限にするように選択された変換係数のマトリクスを前記構築可能なデジタル変換マトリクスに再ロードする段階；

によって構成されることを特徴とするハイブリッド・マトリクス増幅器において複数のデジタル入力信号を増幅する方法。

8. 前記構築可能なデジタル変換マトリクスは、前記複

数の変換済みデジタル信号の特性を制御する変換パラメータを格納するためのレジスタを含み、また構築可能なデジタル変換マトリクスを変換係数のマトリクスで初期化する前記段階は、変換係数のマトリクスを前記レジスタにロードすることを含むことを特徴とする請求項7記載のハイブリッド・マトリクス増幅器において複数のデジタル入力信号を増幅する方法。

9. 前記複数の変換済みデジタル信号を複数の変換済みアナログ信号に変換する前記段階は、前記複数の変換済みデジタル信号を複数の変換済み変調無線周波数アナログ信号に変換することを含むことを特徴とする請求項7記載のハイブリッド・マトリクス増幅器において複数のデジタル入力信号を増幅する方法。

10. 前記増幅器アレイの前記劣化状態は、増幅器の故障であることを特徴とする請求項7記載のハイブリッド・マトリクス増幅器において複数のデジタル入力信号を増幅する方法。

11. 出力信号劣化を最小限にするように選択された前記変換係数のマトリクスは、出力信号分離を最大にするように選択された変換係数のマトリクスであることを特徴とする請求項7記載のハイブリッド・マトリクス増幅器において複数のデジタル入力信号を増幅する方法。

12. 前記構築可能なデジタル変換マトリクス内の前記変換係数のマトリクスを利用して、前記複数のデジタル

入力信号を変換する前記段階は、フーリエ変換を行う変換係数のマトリクスを利用して、前記複数のデジタル入力信号を変換することを含むことを特徴とする請求項7記載のハイブリッド・マトリクス増幅器において複数のデジタル入力信号を増幅する方法。

13. 前記増幅済み変換信号を逆変換して、前記複数のデジタル入力信号に対応する出力信号を生成する前記段階は、逆フーリエ変換を行って、出力信号を生成することをさらに含むことを特徴とする請求項12記載のハイブリッド・マトリクス増幅器において複数のデジタル入力信号を増幅する方法。

14. ハイブリッド・マトリクス増幅器において複数のデジタル入力信号を増幅するシステムであって：

構築可能なデジタル変換マトリクスを変換係数のマトリクスで初期化する手段；

前記構築可能なデジタル変換マトリクスの入力において複数のデジタル入力信号を受信する手段；

前記構築可能なデジタル変換マトリクス内の前記変換係数のマトリクスを利用して、前記複数のデジタル入力信号を変換して、複数の変換済みデジタル信号を生成する手段；

前記複数の変換済みデジタル信号を複数の変換済みアナログ信号に変換する手段；

増幅器アレイを利用して、前記複数の変換済みアナログ

信号を増幅して、増幅済み変換信号を生成する手段；

前記増幅済み変換信号を逆変換して、前記複数のデジタル入力信号に対応する出力信号を生成する手段；

前記増幅器アレイの劣化状態を検出する手段；および

前記劣化状態を検出することに応答して、出力信号劣化を最小限にするように選択された変換係数のマトリクスを前記構築可能なデジタル変換マトリクスに再ロードする手段；

によって構成されることを特徴とするハイブリッド・マトリクス増幅器において複数のデジタル入力信号を増幅するシステム。

【発明の詳細な説明】

デジタル変換器を構築するためのハイブリッド・

マトリクス増幅器における方法およびシステム

発明の分野

本発明は、一般に、信号増幅に関し、さらに詳しくは、ハイブリッド・マトリクス増幅器アレイにおいて構築可能なデジタル変換器を有する改善された方法およびシステムに関する。

発明の背景

ハイブリッド・マトリクス増幅器(hybrid matrix amplifier)は増幅器の並列セットであり、それぞれの増幅器は、ハイブリッド結合器(hybrid coupler)からなる多重ポート・マトリクスで供給される入力と、この多重ポート・マトリクスと合成される出力とを有する。ハイブリッド・マトリクス増幅器20の一般的な構成を第1図に示す。図示のように接続されたハイブリッド・マトリクス22, 24は、 I_n から O_n に延在する情報経路を形成し、これらの経路は入力ポート I_n および出力ポート O_n において分離している。ハイブリッド・マトリクス22と24との間で、

増幅器アレイ26は信号を増幅するために用いられる。マトリクス間のこれらの信号は振幅が均等に分散され、信号がどの入力ポート I_n に入るかに応じて特定の位相関係を有する。増幅器アレイ26がマトリクス22と24との間で構築されると、増幅器アレイ26内の全ての増幅器は、経路 I_1 から O_1 上の信号、ならびに他の全ての $n-1$ 経路上の信号の増幅を共有する。

多くの変換マトリクス(transform matrix)の基本構成要素は、 90° ハイブリッド、すなわち、3dB結合器であり、これを結合器30として第2図に概略的に示す。結合器30は4つのポート、すなわち、2つの入力ポートA、Bと、2つの出力ポート Y_1 、 Y_2 とを有する。結合器30は、一般に線形的であり、相反的(reciprocal)である。結合器30の相反的な性質のため、入力ポートA、Bは出力ポート Y_1 、 Y_2 と交換可能である。また、結合器は、ポートにおいてある特性帯域通過および特性インピーダンスを有する。

動作時に、信号Aが結合器₃₀の入力ポートAで受信されると、信号の電力またはエネルギーは2つの等しい量に分割され、一方の量は出力ポートY₁に送られ、他方は出力ポートY₂に送られる。出力ポートY₂から伝送される電力の信号位相は、出力ポートY₁から伝送される電力の信号位相から電氣的に90度(90 electrical degree)だけ、すなわち、動作波長の1/4だけ、遅延される。同様に、信号

Bの電力が入力ポートBで受信されると、信号の電力は2つの等しい量に分割され、この電力の半分は出力ポートY₁に送られ、もう半分は出力ポートY₂に送られる。出力ポートY₁から伝送される信号Bからの電力の信号位相は、出力ポートY₂から伝送される電力の信号位相から電氣的に90度だけ、すなわち、動作波長の1/4だけ、遅延される。

従って、信号Aを入力ポートAに印加し、信号Bを入力ポートBに印加すると、出力ポートY₁、Y₂に現れる信号は次式によって表される：

$$Y_1 = \frac{A}{\sqrt{2}} \angle -90^\circ + \frac{B}{\sqrt{2}} \angle -180^\circ$$

$$Y_2 = \frac{A}{\sqrt{2}} \angle -180^\circ + \frac{B}{\sqrt{2}} \angle -90^\circ$$

$$\frac{1}{\sqrt{2}} \begin{bmatrix} -j & -1 \\ -1 & -j \end{bmatrix} \begin{bmatrix} A \\ B \end{bmatrix} = \begin{bmatrix} Y_1 \\ Y_2 \end{bmatrix} \quad j \text{は } 1 \angle 90^\circ = \text{sqrt}(1)$$

上式に示すように、信号電力が入力ポートA、Bに同時に印加されると、結合器は線形的なので信号重畳(signal superposition)が生じる。

要するに、入力ポートで受信される電力は結合器の出力ポートの間で等しく分割され、出力ポートによって伝送される信号は特定の位相関係を有する。

従来技術では、結合器30は遮蔽された(二重接地面)ストリップラインまたはマイクロストリップラインを利用して一般に構成される。このストリップライン結合方法を

第3図に概略的に示し、これについてはGerstら(1973年)による米国特許第3,731,217号において説明され、これは本明細書に参考として含まれ

る。

ここで第4図を参照して、 4×4 フーリエ変換マトリクスを示す。4つの入力および4つの出力を有するフーリエ変換マトリクス40は、図示のように接続された3dB結合器30を利用する。

第5図は、バトラー(Butler)型変換マトリクスとして知られる異なる 4×4 変換マトリクスを示す。バトラー変換マトリクス50は、実質的には、移相器52、54を追加したフーリエ変換マトリクス40である。移相器52、54が 45° 移相器である場合、バトラー変換マトリクス50は 45° バトラー変換マトリクスという。

ハイブリッド・マトリクス増幅器20の問題点には、2つの変換マトリクスの高コストや、信頼性が低く、かつ製造コストが高い複数の無線周波数接続や、2つの変換マトリクスが必要とするスペースや、2つの変換マトリクスの余分な重量がある。

従って、変換マトリクスのコストを節減し、無線周波数接続の数を減少し、変換マトリクスに要するスペースおよび重量を低減するための、ハイブリッド・マトリクス増幅器における方法およびシステムが必要とされる。

図面の簡単な説明

本発明の特徴的であると考えられる新規な特徴を添付の請求の範囲で規定する。ただし、発明自体、ならびにその好適な使用形態、更なる目的および利点は、添付の図面とともに一例としての実施例の以下の詳細な説明を参照することによって最もよく理解されよう。

第1図は、従来のハイブリッド・マトリクス増幅器の高レベルな図である。

第2図は、変換マトリクスで用いられる従来の結合器の概略図である。

第3図は、第2図の従来の結合器の高レベルな図である。

第4図は、従来のフーリエ変換マトリクスの高レベルな概略図である。

第5図は、従来のバトラー変換マトリクスの高レベルなブロック図である。

第6図は、本発明の方法およびシステムによる構築可能なデジタル変換マトリクスを有するハイブリッド・マトリクス増幅器のブロック図である。

第7図は、本発明の方法およびシステムによる第6図に示す無線周波数デジタル変調器の高レベルな概略図である。

第8図は、本発明の方法およびシステムによる第6図に示す複素乗算器の高レベルな概略図である。

第9図は、本発明の方法およびシステムの動作を示す高レベルな論理フローチャートである。

発明の詳細な説明

図面、特に第6図を参照して、本発明の方法およびシステムによる構築可能なデジタル変換マトリクス(configurable digital transform matrix)およびRF変調器を有するハイブリッド・マトリクス増幅器のブロック図を示す。図示のように、ハイブリッド・マトリクス増幅器100は、増幅器アレイ104の出力に結合された入力を含む変換マトリクス102を含む。変換マトリクス102は、増幅された変換済み信号を出力する増幅器アレイ104に結合されるので、変換マトリクス102は、増幅された変換済み信号の成分を、ハイブリッド・マトリクス増幅器の入力の一つに対応する離散的な出力に分離する逆変換関数(inverse transform function)を実行する。

第6図に示す実施例では、変換マトリクス102は、4つの入力および4つの出力を有する4x4変換マトリクスである。ただし、変換マトリクス102は、設計条件に応じて2x2マトリクス以上の任意のサイズでもよい。従って、変換マトリクス102はm x n変換マトリクスでもよい。

変換マトリクス102は、異なる種類のマトリクスで構成してもよい。例えば、変換マトリクス102はフーリエ変換マトリクスまたはバトラー変換マトリクスのいずれで

も構成できる。さらに、一つの入力から複数の出力に所定の位相関係で信号電力を分散する他の変換マトリクスを利用してもよい。一例として、変換マトリクス102は、East Syracuse, New York 13057所在のAnaren Microwave, Inc.社製の部品番号「580014」として販売される変換マトリクスで構成してもよい。

。

増幅器アレイ104内の増幅器は、低レベル無線周波数信号を受信し、この信号を増幅して、入力信号と実質的に整合する高レベル出力信号を生成する。増幅器アレイ104は、Shaumburg, Illinois 60196所在のMotorola Inc.社製の部品番号「MHW927B」として販売される増幅器で構成してもよい。最良の性能のためには、増幅器アレイ104内の増幅器は利得および位相遅延ともに整合されるべきである。

増幅器アレイ104への入力は、無線周波数(RF)変調器106の出力に結合される。無線RF変調器106によって生成される無線周波数変調された信号は、Wideband Spread Spectrum Cellular System規格EIA/TIA/IS-95という表題の仕様書に記載されるような符号分割多元接続(CDMA: code division multiple access)変調方式に従って変調された信号を含む。また、この変調された無線周波数信号は、位相シフト・キーイング(PSK: phase shift keying)や、直交振幅変調(QAM: quadrature amplitude modulation)

などの振幅位相キーイング(amplitude phase keying)の形式でもよい。また、他のエア・インタフェース規格による変調を利用してもよい。他のエア・インタフェースの例には、EIA-533規格によるAMPS(Advanced Mobile Phone Service)や、IS-54によるTDMA(Time Division Multiple Access)や、IS-89によるNAMP(Narrowband AMPS)や、GSM(Global System for Mobile Communication)で採用されるエア・インタフェースが含まれる。

ここで第7図を参照して、本発明の方法およびシステムによる第6に示す無線周波数デジタル変調器のより詳細な高レベルな概略図を示す。図示のように、複素デジタル信号(complex digital signal)はIおよびQ入力において受信される。これらの入力は、次に帯域通過フィルタ108によって濾波される。

フィルタ108は、割り当てられた帯域幅外への無線周波数放射を生じさせる急速な信号遷移を最小限に抑えるために、デジタル信号のエッジをスムージングする。

濾波の後、デジタル/アナログ(D/A)コンバータ110は、デジタル信号

をアナログ信号に変換する。D/Aコンバータ110からのアナログ信号は、変調器112において正弦信号と混合される。次に、信号のI成分およびQ成分は、加算器114において合成され、デジタルI信号およびQ信号によって変調された無線周波数出力信号を

生成する。

再度第6図を参照して、RF変調器106は、デジタル変換マトリクス116によって出力され、 $A_1 \sim A_4$ と記されたIおよびQビット・チャネルから、データを受信する。デジタル変換マトリクス116の入力では、メッセージ信号 $M_1 \sim M_4$ は、IおよびQフォーマットで受信される。

第6図に示す例では、デジタル変換マトリクス116は、4つの複素デジタル入力および4つの複素デジタル出力を有する 4×4 変換マトリクスである。デジタル変換マトリクス116への入力にて受信された信号は数学的に乗算され、多重化され、再合成されて、第1図における変換マトリクス22によって実行される変換マトリクス関数などの変換マトリクス関数をデジタル的にエミュレートする。ただし、本発明の重要な態様に従って、変換マトリクス関数は、ストリップライン結合器によって与えられる電磁的な方法を利用して無線周波数にてアナログ信号に対して行われるのではなく、組み合わせ論理を利用してベースバンド周波数にてデジタル信号に対して実行される。

第6図に概略的に示すように、デジタル変換マトリクス116は、変換パラメータまたはマトリクス変換係数を格納するためのレジスタ118を含む。メッセージ入力信号 $M_1 \sim M_4$ は、複素乗算器120においてこのようなマトリクス変換係数によって乗算される。各複素乗算器120の出力は加算器(summer)122の入力に結合してもよい。

IおよびQフォーマットである加算器122の出力は、RF変調器106に送られる。従って、第6図に概略的に示すように、各入力信号の加重された部分は各出力において合成され、振幅および位相の両方が調整あるいは修正された各入力信号の一部を表す複素出力信号を与える。数学的には、デジタル変換マトリクス

116の関数は次式によって表される：

$$\begin{bmatrix} A_1 \\ A_2 \\ A_3 \\ A_4 \end{bmatrix} = \begin{bmatrix} B_{11} & B_{12} & B_{13} & B_{14} \\ B_{21} & B_{22} & B_{23} & B_{24} \\ B_{31} & B_{32} & B_{33} & B_{34} \\ B_{41} & B_{42} & B_{43} & B_{44} \end{bmatrix} \begin{bmatrix} M_1 \\ M_2 \\ M_3 \\ M_4 \end{bmatrix}$$

ここで、マトリクスの各要素は複素定数であり、Mは複素メッセージ入力ベクトルを表し、Bは複素変換マトリクス係数を表し、Aはデジタル変換マトリクス116からの複素出力ベクトルを表す。

デジタル変換マトリクス116内で、4つの複素乗算回路124を示す。これらの乗算回路については、第8図を参照して以下でさらに詳しく説明する。

また、第6図には、状態センサ(state sensor)126、コントローラ128およびメモリ130も示される。状態センサ126は、ハイブリッド・マトリクス乗算器出力132、増幅器アレイ104およびRF変調器106など、ハイブリッド・マトリクス増幅器100内の各構成要素に結合してもよい。状態センサ126は、ハイブリッド・マ

トリクス増幅器100内の状態を検出し、ハイブリッド・マトリクス増幅器の状態を表す信号を生成する。ハイブリッド・マトリクス増幅器の状態は、例えば、増幅器アレイ内の一つまたはそれ以上の増幅器が故障している劣化状態(degraded state)を含んでもよい。他の故障モードは、ハイブリッド・マトリクス増幅器出力132またはRF変調器106の状態を検出することによって検出できる。

また、状態センサ126は、コンフィギュレーション・スイッチの形式でもよいユーザ入力や、別のデータ処理システムからの入力に応答してもよい。このようなユーザ入力は、ハイブリッド・マトリクス増幅器100が別のモードで動作するように再構築すべきことを示すために利用できる。このような別のモードには、例えば、基地局において異なる数のセクタを運用するモードが含まれる。

状態センサ126は、コントローラ128に結合される信号を与える。状態信号を受信することに応答して、コントローラ128は、メモリ130からマトリクス変換係数を呼出し、このマトリクス変換係数をデジタル変換マトリクス11

6内のレジスタ118に転送あるいは書き込むことにより、デジタル変換マトリクス116を再構築(reconfigure)する。マトリクス変換係数の別のグループをレジスタ118に再ロードすることにより、デジタル変換マトリクス116の演算関数は、追加機能を提供するように、あるいは、例えば、増幅器アレイ104内の増幅器

で故障を補償するように変更できる。

ここで第8図を参照して、デジタル変換マトリクス116で用いられる複素乗算器(complex multiplier)を示す。図示のように、デジタル・メッセージ信号 $M_1 \sim M_4$ のI成分およびQ成分は、乗算器120などの乗算器回路に入力される。

乗算器120は、次式に示す演算を行う：

$$M \cdot B = (M_I B_I - M_Q B_Q) + j (M_I B_Q - M_Q B_I)$$

これは複素乗算演算である。

参照番号120が付された各ブロックは、このような乗算回路を表す。出力 A_{1I} 、 A_{1Q} を生成するため、4つ全ての乗算回路の出力は加算器(summer)122において加算される。信号 A_{1I} は次式によって表すことができる：

$$\begin{aligned} A_{1I} = & M_{1I} B_{11I} - M_{1Q} B_{11Q} \\ & + M_{2I} B_{12I} - M_{2Q} B_{12Q} \\ & + M_{3I} B_{13I} - M_{3Q} B_{13Q} \\ & + M_{4I} B_{14I} - M_{4Q} B_{14Q} \end{aligned}$$

信号 A_{1Q} は次式によって表すことができる：

$$\begin{aligned} A_{1Q} = & M_{1I} B_{11Q} - M_{1Q} B_{11I} \\ & + M_{2I} B_{12Q} - M_{2Q} B_{12I} \\ & + M_{3I} B_{13Q} - M_{3Q} B_{13I} \\ & + M_{4I} B_{14Q} - M_{4Q} B_{14I} \end{aligned}$$

デジタル変換マトリクス116の関数を完成するためには、4 x 4変換マトリクスについて4つの複素乗算器回路124が必要になる。他の複素乗算器回路138、140、142は、それぞれ複素信号 A_2 、 A_3 、 A_4 を生成する。次に、

各信号 A_x は増幅器アレイ 104 内の増幅器に結合される。デジタル変換マトリクス 116 は、マトリクス変換係数を受信するレジスタを有する特定用途集積回路 (ASIC: application specific integrated circuit) で構成してもよい。

ここで第9図を参照して、本発明の方法およびシステムを示す高レベルな論理フローチャートを示す。図示のように、プロセスはブロック200から開始し、次にブロック202に進み、ここでデジタル変換マトリクスは、通常モードで動作するためのマトリクス変換係数の全補数(full complement)をデジタル変換マトリクス内のレジスタにロードすることによって初期化される。これらのマトリクス変換係数は、第6図に示すように、コントローラ128によってメモリ130から呼出して、レジスタ118内に書き込むことができる。通常動作の変換係数のマトリクスを以下のマトリクス1に示す。通常の動作とは、入力 $M_1 \sim M_4$ からハイブリッド・マトリクス増幅器出力132までの

全ての信号経路に問題ないことを意味する。例えば、ある実施例では、増幅器アレイ104は、全ての増幅器が通常に動作中であるかどうかを判定するように検出されてもよい。

$$\begin{bmatrix} -.5 & 0+j.5 & .3535534+.353554 & .3535534+.353554 \\ 0+j.5 & .5 & .3535534+.353554 & .3535534+.353554 \\ .3535534+.353554 & .3535534+.353554 & .5 & 0+j.5 \\ .3535534+.353554 & .3535534+.353554 & 0+j.5 & -.5 \end{bmatrix}$$

マトリクス 1

次に、本発明は2つの個別の経路に沿って同時に動作する。一方の経路は、変換、増幅および逆変換信号処理ループについて説明し、他方の経路はハイブリッド・マトリクス増幅器の健康状態を監視し、エラー状態に応答して、故障モードを補償するためにデジタル変換マトリクスの変換動作を再構築するループについて説明する。

ブロック204に示すように、 $M_1 \sim M_4$ などのデジタル入力信号はデジタル信号変換マトリクス116を利用して変換され、信号 $A_1 \sim A_4$ などの変換済み信号

を生成する。次に、ブロック206に示すように変換済み信号 $A_1 \sim A_4$ は変調され、無線周波数変換信号を生成する。

変換信号を変調した後、ブロック208に示すように、無線周波数変換信号は増幅される。無線周波数変換信号を増幅するために、増幅器アレイ104などの増幅器アレイ

を利用できる。

最後に、ブロック210に示すように、増幅された無線周波数変換信号に対して逆変換演算が実行され、デジタル入力信号 $M_1 \sim M_4$ のうちの一つに対応する個別の出力信号を生成する。

上記のように、ブロック204～210はハイブリッド・マトリクス増幅器内の信号増幅について説明する。この動作と並行して、ブロック212に示すように、プロセスはハイブリッド・マトリクス増幅器の状態を判定する。ハイブリッド・マトリクス増幅器の状態は、例えば、増幅器アレイ104内の一つまたはそれ以上の増幅器が故障した劣化状態(degraded state)を含んでもよい。あるいは、ハイブリッド・マトリクス増幅器の状態は、3セクタ・セル・サイトではなく6セクタ・セル・サイトをサポートするモードなど、異なるモードで動作するようにユーザが増幅器に要求することを表す。

次に、図示の例では、ブロック214に示すように、プロセスは増幅器アレイ内の増幅器が故障しているかどうかを判定する。なお、ブロック214は、増幅器アレイ内の増幅器が故障した劣化状態以外のハイブリッド・マトリクス増幅器の状態を検出するために用いてもよいことが理解される。増幅器が故障していないことをプロセスが判定すると、プロセスは反復的にブロック212に戻って、ハイブリッド・マトリクス増幅器の状態の監視を続ける。

しかし、プロセスが故障した増幅器を検出すると、ブロック216に示すように、プロセスは特定の故障した増幅器を識別する。故障した特定の増幅器を識別することに対応して、ブロック218に示すように、プロセスは変換係数の置換マトリクス(replacement matrix)を選択する。以下のマトリクス2は、増幅器ア

レイ内の第1増幅器が故障した場合に用いることができる置換マトリクスを示す。マトリクス3は、増幅器アレイ104内の第2増幅器が故障した場合にデジタル変換マトリクス116にロードできる変換係数の置換マトリクスを示す。マトリクス4は、増幅器アレイ104内の第3増幅器が故障した場合に用いることができる変換係数の置換マトリクスを示す。マトリクス5は、増幅器アレイ104内の第4増幅器が故障した場合にデジタル変換マトリクス116を再構築するために利用できる変換係数の置換マトリクスを示す。各置換マトリクスは、故障した特定の増幅器に鑑み、ハイブリッド・マトリクス増幅器出力132にける信号弁別(signal isolation)を最大化するように選択されている。

$$\begin{bmatrix} 0 & 0 & 0 & 0 \\ 2.966125\text{E-}02+\text{j}.6833946 & .6603469-\text{j}.1784609 & -.1278111+\text{j}.1295191 & 0 \\ .1495217+\text{j}.4776695 & 1.984147\text{E-}03+\text{j}.5005064 & .684023-\text{j}.4.460727\text{E-}03 & 0 \\ .1075738+\text{j}.4887961 & .2504059+\text{j}.4333635 & 4.462317\text{E-}03+\text{j}.68402170 & 0 \end{bmatrix}$$

マトリクス 2

$$\begin{bmatrix} -.6834287-j2.883536E-02 & 1.380069E-02+j.6838975 & .1341593+j.1229523 & 0 \\ 0 & 0 & 0 & 0 \\ .4778536+j.1490349 & -.4807528+j.1383495 & .6833617-j.011619E-02 & 0 \\ .4886708+j.1080837 & .4864195+j.1189444 & .0301195+j.6833808 & 0 \end{bmatrix}$$

マトリクス 3

$$\begin{bmatrix} -.476566+j.1528133 & -.2426451+j.4376298 & .5083497+j.4578379 & 0 \\ -.3376994+j.3694676 & .4282318-j.2593597 & -.4577393+j.5082725 & 0 \\ 0 & 0 & 0 & 0 \\ .575801+j.3692665 & .4929148+j.4743422 & 9.50376E-03+j.1817075 & 0 \end{bmatrix}$$

マトリクス 4

$$\begin{bmatrix} -.4818861+j.1348983 & .2738014+j.4191281 & .5089527+j.4570488 & 0 \\ -.3512893+j.3566404 & .4456675+j.2276047 & -.4570306+j.5089419 & 0 \\ .5891334+j.3476041 & -.4572723+j.5087439 & .1817044-j9.747811E-03 & 0 \\ 0 & 0 & 0 & 0 \end{bmatrix}$$

マトリクス 5

マトリクス2～5に示すマトリクス変換係数は、反復プロセスによって計算され、ここで M_1 は1のデータ・ストリームに設定され、 $M_2 \sim M_4$ は0に等しくなるように設定される。増幅器アレイの利得が単位利得に正規化されると想定すると、メッセージ M_1 に対応するハイブリッド・マトリクス増幅器132における電力が1に近づき、一方、 $M_2 \sim M_4$ に対応する出力132が0に最小化されるまで、レジス

タ118内のマトリクス変換係数は調整される。この設定の後、マトリクス変換係数の初期セットが判定される。

メッセージ M_2 は1に設定され、他の全ての入力は0に設定され、出力132はマトリクス変換係数の同一セットで測定される。同様に、メッセージ M_3 は1に設定され、他の全ての入力は0に設定され、またメッセージ M_4 は1に設定さ

れ、他の全ての入力は0に設定され、出力は毎回測定される。従って、メッセージ入力 $M_2 \sim M_4$ をサイクルした後、4つのセットの出力測定が行われる。次に、これら4つのセットの出力測定は合成され、変換係数の有効性を表す評点(score)を生成する。

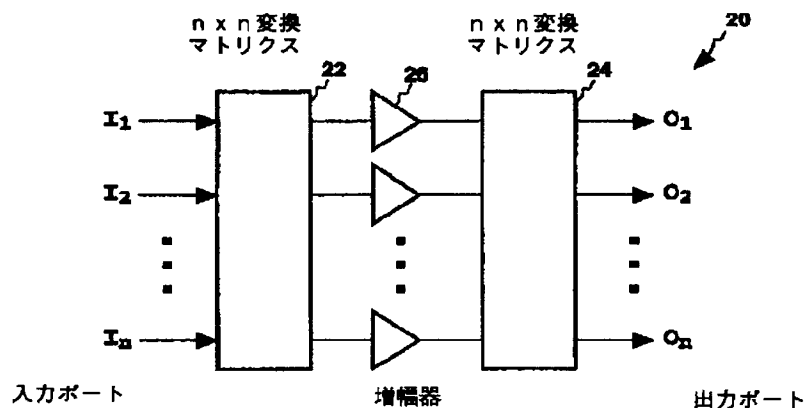
次に、各個別の変換係数は変更され、新たな評点が判定され、前回の評点と比較される。評点が改善すると、この反復は最小評点が見つかるまで第1変換係数の調整を続ける。次に、評点をさらに低くするために、次のマトリクス変換係数が調整される。ハイブリッド・マトリクス増幅器出力132の評点を下げるために全ての変換係数が調整されると、プロセスは第1マトリクス変換係数に戻り、さらにハイブリッド・マトリクス増幅器出力の評点を下げるために更なる調整を行う。このプロセスは、評点が最小になるまで続く。

置換マトリクスの選択後、ブロック220に示すように、置換マトリクスのマトリクス変換係数はメモリから取り出される。次に、ブロック222に示すように、プロセスは、

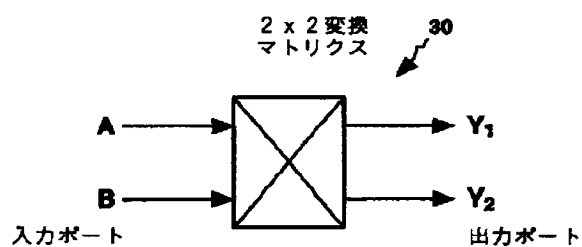
メモリから呼出した変換係数のマトリクスをデジタル変換マトリクス内のレジスタに再ロードする。これで、ブロック214で検出された状態変化に応答してデジタル変換マトリクス116を再構築するプロセスが終わる。デジタル変換マトリクス116を再構築した後、プロセスはブロック212に反復的に戻り、ここでプロセスは増幅器の状態の監視を続ける。

本発明の好適な実施例の上記の説明は、図説のために提示した。これは包括的でも、開示した厳密な形式に発明を制限するものでもない。修正または変形は、上記の教示に鑑みて可能である。実施例は、発明の原理およびその実質的な適用を最良に例示し、また当業者が想定される特定の利用に適するように発明をさまざまな実施例において、さまざまな修正で利用すること可能にするために選び、説明した。このような一切の修正や変形は、公正に、法的にまた正当に権限のある範囲に従って解釈したときに、添付の請求の範囲によって決められるような発明の範囲内であるものとする。

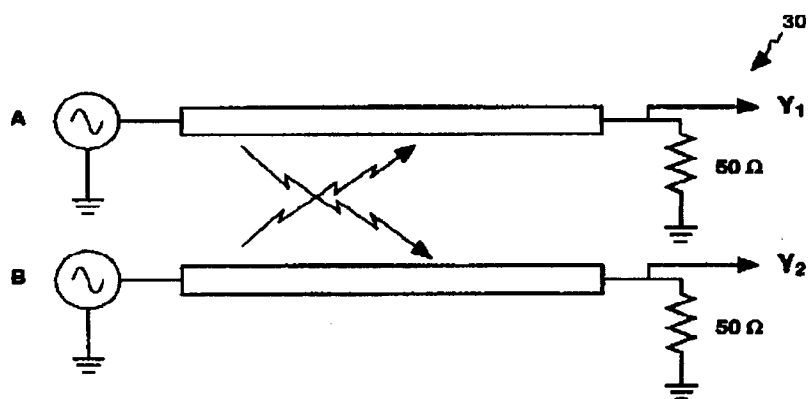
【図1】

従来技術
第1図

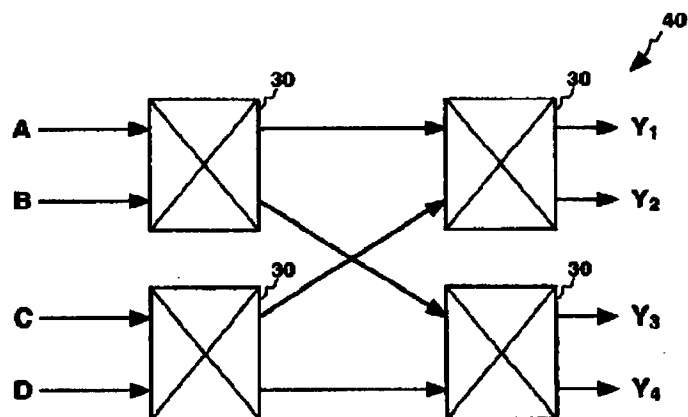
【図2】

従来技術
第2図

【図3】

従来技術
第3図

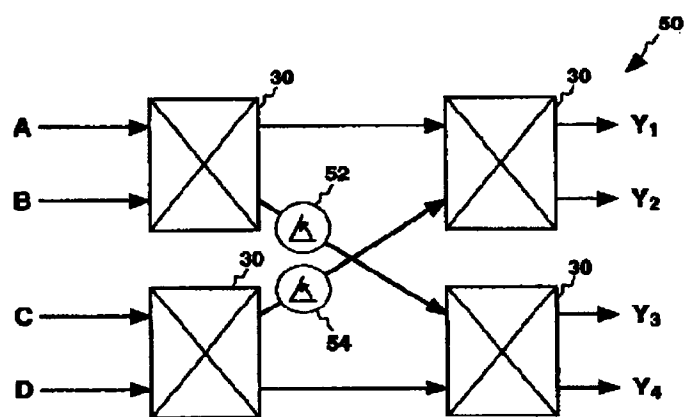
【図4】



従来技術

第4図

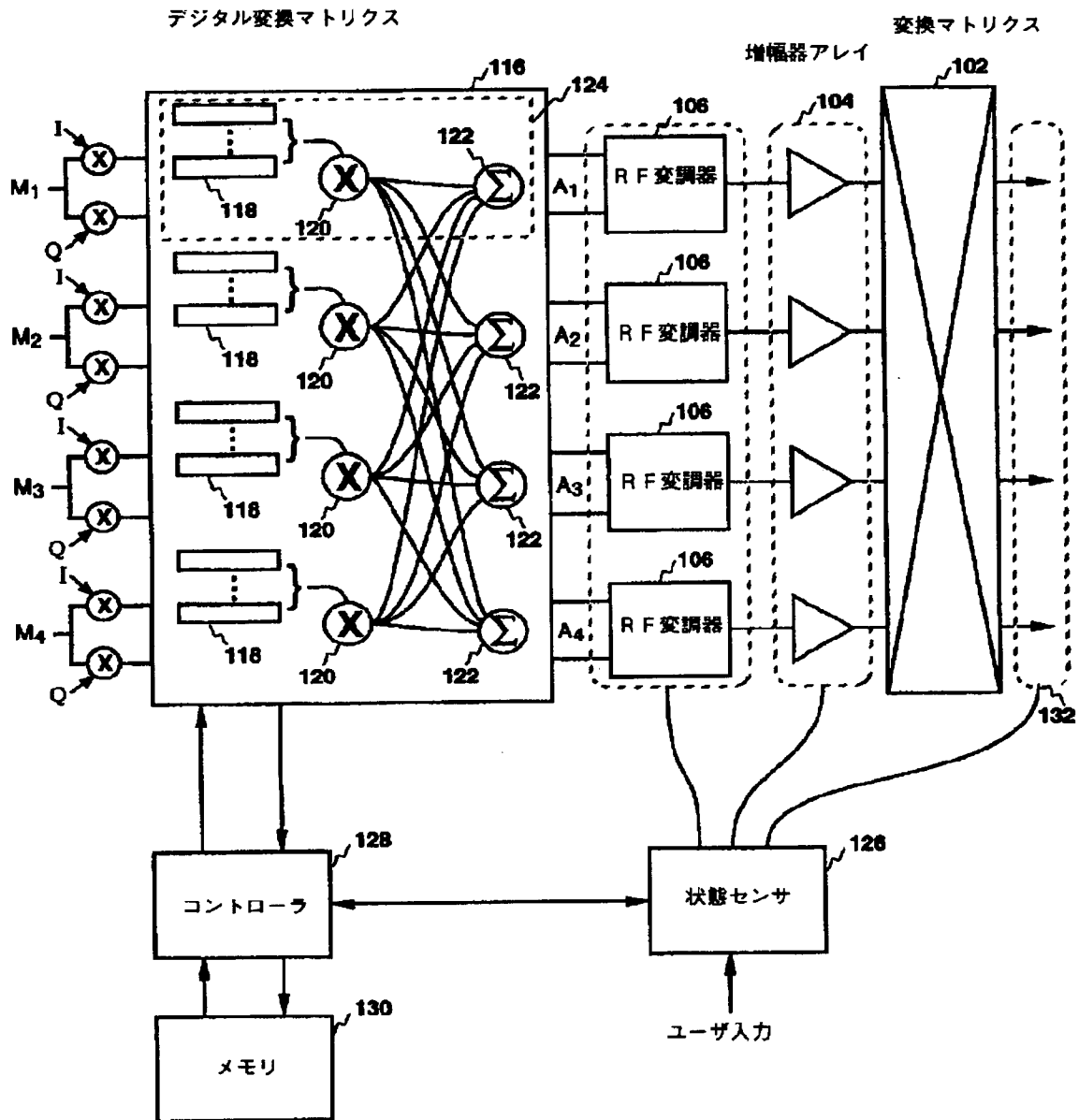
【図5】



従来技術

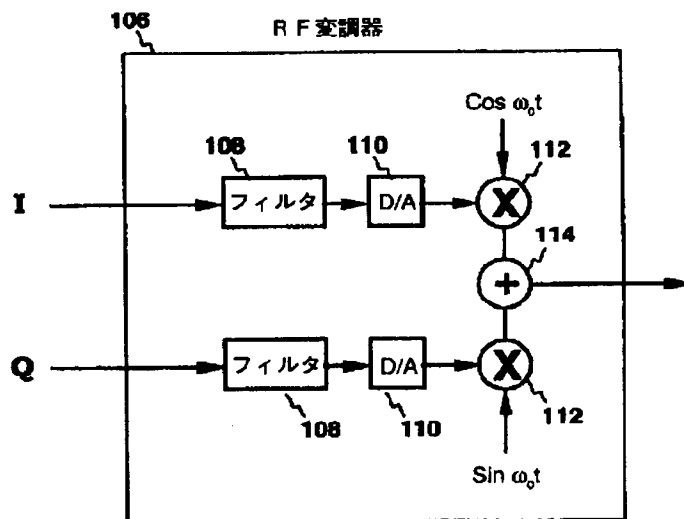
第5図

【図6】



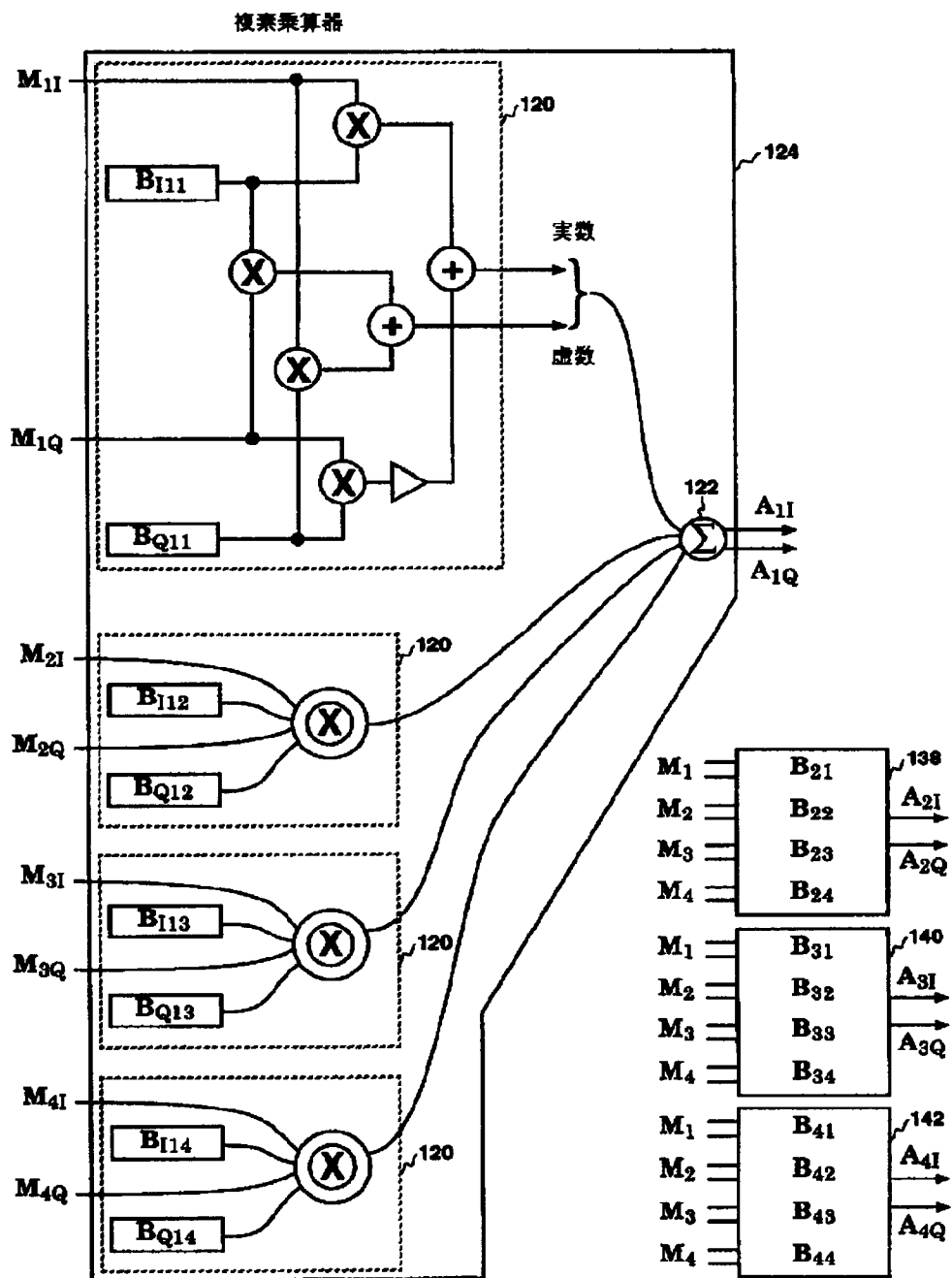
第6図

【図7】



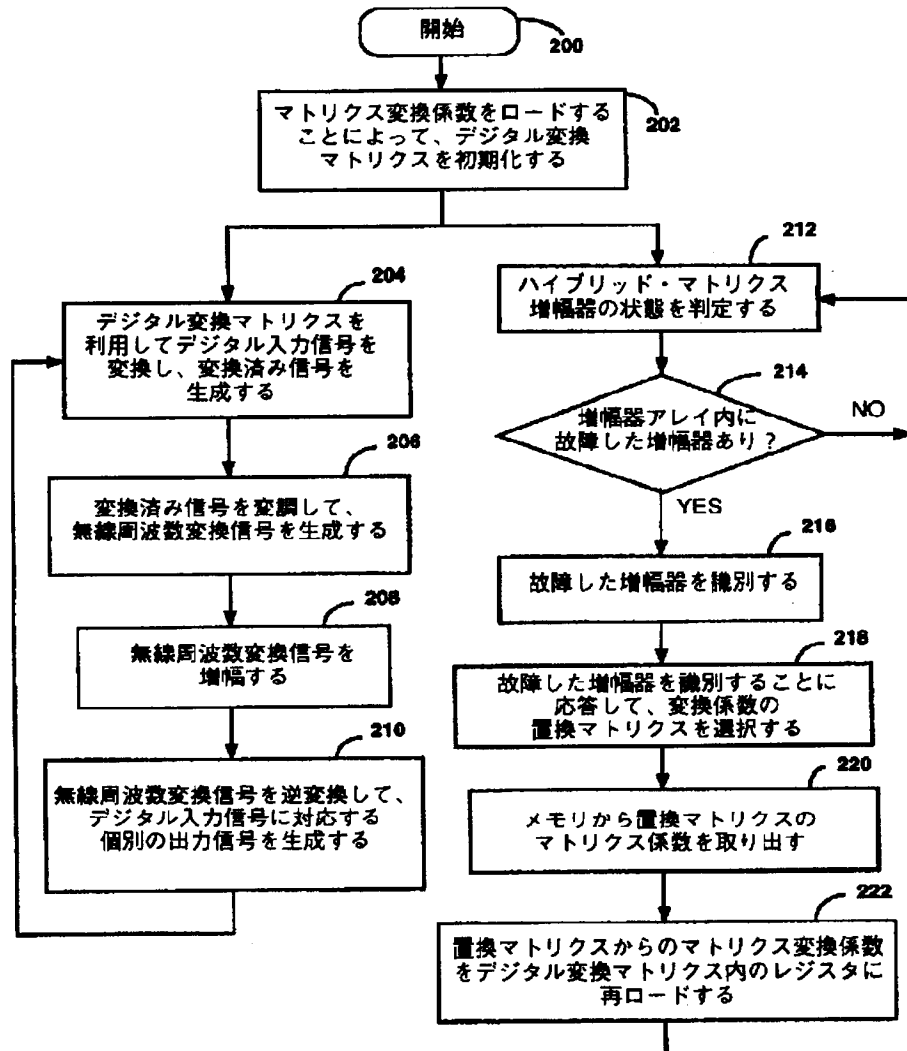
第7図

【図8】



第8図

【図9】



第9図

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US97/15600
A. CLASSIFICATION OF SUBJECT MATTER IPC(6) : H03F 3/68 US CL : 330/124R According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 330/124R, 53, 124D, 147, 148, 286, 287, 295 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched NONE Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) NONE		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claims No.
X, P	US 5,574,967 A (DENT ET AL.) 12 November 1996 (12/11/96), see Figs. 8 and 10 and col. 15, lines 48-57 and col. 16, lines 14-33.	1-3, 8-10 14-16
X, E	US 5,675,285 A (WINTERS) 07 October 1997 (07/10/97), see Fig. 4 and col. 7, line 41 to col. 8, line 31.	1, 8, 10, 14-16
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document published on or after the international filing date "L" document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "A" document member of the same patent family		
Date of the actual completion of the international search 04 NOVEMBER 1997		Date of mailing of the international search report 12 NOV. 1997
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-3230		Authorized officer JAMES B. MULLINS Telephone No. (703) 304-5912

フロントページの続き

- (72)発明者 アンダーソン, デール・ロバート
アメリカ合衆国テキサス州フォート・ワース、メサ・ドライブ6740
- (72)発明者 ジャロウル, ロウエイ・アデル
アメリカ合衆国テキサス州フォート・ワース、ナンバー226、ノース・ビーチ・ストリート5600